

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45908

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336				3 0 1 G

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平7-193704

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 笠井 直記

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

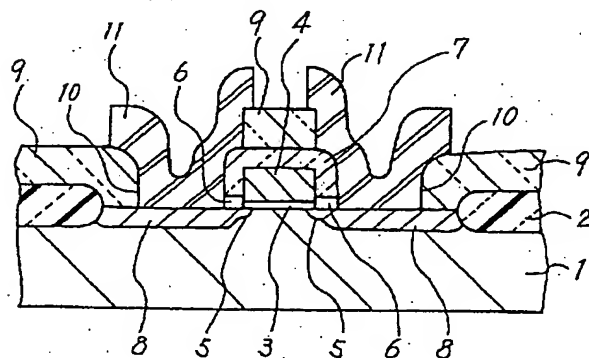
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 自己整合型コンタクト孔を有し超微細でホットキャリア耐性の高い絶縁ゲート電界効果トランジスタを含む半導体装置を形成する。

【構成】 絶縁ゲート電界効果トランジスタにおいて、ゲート電極4の上面と側面にエッチストップ膜7が形成された自己整合型コンタクト孔を有し、ゲート電極4の側面に形成されたエッチストップ膜7下の底面シリコン酸化膜6の膜厚がゲート酸化膜3の膜厚より厚くなるように設定される。

- | | |
|------------|-------------|
| 1 シリコン基板 | 6 底面シリコン酸化膜 |
| 2 フィールド酸化膜 | 7 エッチストップ膜 |
| 3 ゲート酸化膜 | 10 コンタクト孔 |
| 4 ゲート電極 | 11 配線 |



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 一導電型のシリコン基板の表面に形成されるシリコン酸化膜をゲート絶縁膜とし前記シリコン基板の表面に形成される逆導電型の拡散層をソース・ドレイン領域とする絶縁ゲート電界効果トランジスタを有し、前記シリコン酸化膜とは異種の材料であり前記絶縁ゲート電界効果トランジスタのゲート電極の上面および側面のみを被覆する保護絶縁膜が形成され、前記ゲート電極の側面を被覆している前記保護絶縁膜と前記拡散層との間に前記ゲート絶縁膜より厚い膜厚のシリコン酸化膜が形成され、前記拡散層上に設けられるコンタクト孔の側壁が前記保護絶縁膜で形成されていることを特徴とする半導体装置。

【請求項 2】 前記保護絶縁膜がシリコン窒化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記保護絶縁膜がシリコン酸化膜と前記シリコン酸化膜上に積層して形成されるシリコン窒化膜との複合膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記シリコン基板の表面にゲート絶縁膜を形成する工程と、前記ゲート電極となる導電薄膜と熱酸化耐性の高い絶縁薄膜とを順次積層して前記ゲート絶縁膜上に形成する工程と、前記導電薄膜と前記絶縁薄膜とをパターンニングする工程と、前記パターンニングした導電薄膜と絶縁薄膜の側壁に再度熱酸化耐性の高い絶縁薄膜を形成する工程と、前記熱酸化耐性の高い絶縁薄膜を熱酸化マスクにして前記シリコン基板の表面部を熱酸化し前記ゲート絶縁膜より膜厚の厚いシリコン酸化膜を形成する工程と、この熱酸化後に、再度熱酸化耐性の高い絶縁薄膜を堆積させ異方性のドライエッチングを加えて前記ゲート電極の上面および側面とゲート絶縁膜より膜厚の厚い前記シリコン酸化膜とを被覆する前記保護絶縁膜を形成する工程と、を含むことを特徴とする請求項 1 または請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記保護絶縁膜を形成した後、前記保護絶縁膜とは異種の材料で層間絶縁膜を形成する工程と、前記保護絶縁膜にセルフアラインになるように前記層間絶縁膜をドライエッチングして前記拡散層上にコンタクト孔を形成する工程と、を含むことを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置とその製造方法に関し、特に自己整合型のコンタクト孔を有する絶縁ゲート電界効果トランジスタの構造とその製法に関する。

【0002】

【従来の技術】 半導体素子の微細化及び高密度化は依然として精力的に進められ、現在では 0.15 μm 程度の寸法基準で設計された 1 ギガビット・ダイナミック・ラ

ンダム・アクセス・メモリー (G b D R A M) 等の超高集積の半導体デバイスが開発試作されている。このような半導体デバイスの高集積化に伴い、半導体素子構造の形成に必須となっているフォトリソグラフィ工程でのマスク合わせマージンの不要化が強く要求されるようになってきた。

【0003】 通常、半導体デバイスの製造では、半導体基板上に金属膜、半導体膜、絶縁体膜等の各種材料で形成されたパターンが順次積層され、微細構造の半導体素子が形成される。この半導体素子用のパターンを積層する場合には、フォトリソグラフィ工程において、前工程で形成した下層のパターンにマスク合わせし次の上層パターンを形成することが要求される。しかしこのフォトリソグラフィ工程で上層/下層パターン間の位置ズレが発生する。そこで、この位置ズレを見込めてマスク上のパターン間隔に余裕をもたせ、パターン間隔にマージンを設定することが必要とされる。しかし、このようなマージンはパターンの高密度化の阻害要因となる。

【0004】 そこで、上述のようなマージンを不要とするマージンレス化の技術手法が種々に検討されている。その中で特に重要なものにコンタクト孔の形成におけるマージンレス化がある。このコンタクト孔は半導体基板上、半導体膜上、金属膜上の各種の層に形成され且つ多用されるため、これをマージンレス化することは半導体デバイスの高密度化/高集積化に最も効果がある。このマージンレス化技術の中で有力な方法にセルフアライン法の一つである自己整合型コンタクト孔の形成法があり、その具体的方法が種々に検討されている。

【0005】 この自己整合型コンタクト孔の形成方法のなかで、絶縁膜の異方性ドライエッチングにより絶縁ゲート電界効果トランジスタ (以下、M O S トランジスタと呼称する) のゲート電極に絶縁膜のスペーサーを設け、ゲート電極に自己整合して拡散層上にコンタクト孔を形成する方法が注目されている。例えば、特開昭 61-16571 号公報にその一例が示されている。

【0006】 図 9 は上述の特開昭 61-16571 号公報に示された自己整合型コンタクト孔を有する M O S トランジスタの概略を説明するための断面図とその平面図である。

【0007】 図 9 (a) に示すように、シリコン基板 101 を選択的に酸化してフィールド酸化膜 102 を形成した後、ゲート酸化膜 104 を形成し、更にその上に n 型不純物がドーブされた n⁺ ポリシリコン層を堆積する。次に、n⁺ ポリシリコン層の表面を酸化して約 50 nm 程度の厚さのシリコン酸化膜を形成した後、全面にシリコン窒化膜を約 100 nm の厚さに堆積させる。所望の領域に形成されたレジストパターンをマスクとして前述のシリコン窒化膜、シリコン酸化膜および n⁺ ポリシリコン層をこの順序でエッチングして、ゲート電極領域にゲートポリシリコン層 105、シリコン酸化膜層 1

07およびシリコン窒化膜層109を形成し、配線領域には配線ポリシリコン層106、シリコン酸化膜層108およびシリコン窒化膜層110のパターンを形成する。その後、低濃度の不純物をイオン注入法により注入する。

【0008】次に、レジストパターンを除去した後、全面にシリコン窒化膜を約100nmの厚さに堆積した後、反応性イオンエッチング(RIE)によりゲート電極のパターンと配線領域のパターンの側面に側面シリコン窒化膜111、112を残す。そして、ソース・ドレイン領域形成のための高濃度の不純物をイオン注入法により注入する。このようにして得られるイオン注入領域は、側面シリコン窒化膜111の下部の領域では不純物濃度が低く、それよりも外側では不純物濃度が高くなっている。

【0009】次に、全面に例えばPSG膜(リンガラスを含むシリコン酸化膜)のごとき層間絶縁膜115を堆積させた後、酸素または窒素雰囲気中で約1000℃で30分程度の熱処理を行う。この熱処理によりイオン注入された領域が活性化され、低濃度拡散領域113と高濃度拡散領域114からなるLDD構造のソース・ドレイン領域が得られる。

【0010】このようにした後、レジストパターンをマスクとして層間絶縁膜115をエッチングして拡散層領域上のコンタクトホール116、117を形成する。この時、コンタクトホール116、117はゲートポリシリコン層105の側面シリコン窒化膜111がマスクとなって自己整合的に形成される。次に、配線ポリシリコン層106上にコンタクトホール118を形成する。そして、メタル層パターン119、120、121を形成する。その結果、図9(b)に示した平面図のようなマスクパターンを用いて活性領域103上に形成されるコンタクトホール116、117がゲートポリシリコン層105と接して設計されても、側面シリコン窒化膜111が絶縁膜となって、ゲートポリシリコン層105とメタル層パターン119、120が電氣的に短絡することはない。しかし、この従来技術ではゲートポリシリコン層105の側面に形成される側面シリコン窒化膜111下とシリコン基板101の表面に形成された低濃度拡散層領域113上との間に存在するシリコン酸化膜の厚さはゲート酸化膜と同じかあるいはそれよりも薄くなる。

【0011】

【発明が解決しようとする課題】先述した従来の技術では、ゲート電極の上面と側面をシリコン窒化膜で被覆することによって、ソース・ドレイン領域となる拡散層に形成されるコンタクト孔はゲート電極に対してマージンレスであり自己整合的に形成されるようになる。しかし、ゲート電極の側面に形成されたシリコン窒化膜下のシリコン酸化膜の膜厚がゲート酸化膜の膜厚と同程度もしくは薄くなる。例えば、MOSトランジスタのゲート

長が0.2μm以下となる1GbDRAM以後の微細なMOSトランジスタを用いる半導体装置では、ゲート酸化膜の膜厚が約6nm程度以下となる。このため、先述のシリコン窒化膜下のシリコン酸化膜の膜厚は極薄となり、従来の技術を用いたMOSトランジスタでは、その特性の信頼性、特にホットキャリア・ストレスによる信頼性の劣化が大きくなる。

【0012】本発明の目的は、自己整合型コンタクト孔を有し超微細で信頼性の高いMOSトランジスタで構成される半導体装置を提供することにある。

【0013】

【課題を解決するための手段】このために本発明の半導体装置では、一導電型のシリコン基板の表面に形成されるシリコン酸化膜をゲート絶縁膜とし前記シリコン基板の表面に形成される逆導電型の拡散層をソース・ドレイン領域とする絶縁ゲート電界効果トランジスタを有し、前記シリコン酸化膜とは異種の材料であり前記絶縁ゲート電界効果トランジスタのゲート電極の上面および側面のみを被覆する保護絶縁膜が形成され、前記ゲート電極の側面を被覆している前記保護絶縁膜と前記拡散層との間に前記ゲート絶縁膜より厚い膜厚のシリコン酸化膜が形成され、前記拡散層上に設けられるコンタクト孔の側壁が前記保護絶縁膜で形成される。

【0014】この場合に、前記保護絶縁膜はシリコン窒化膜、あるいはシリコン酸化膜と前記シリコン酸化膜上に積層して形成されるシリコン窒化膜との複合膜で形成される。

【0015】また、このような半導体装置の製造方法は、前記シリコン基板の表面にゲート絶縁膜を形成する工程と、前記ゲート電極となる導電薄膜と熱酸化耐性の高い絶縁薄膜とを積層して前記ゲート絶縁膜上に形成する工程と、前記導電薄膜と前記絶縁薄膜とをパターンニングする工程と、前記パターンニングした導電薄膜と絶縁薄膜の側壁に再度熱酸化耐性の高い絶縁薄膜を形成する工程と、前記熱酸化耐性の高い絶縁薄膜を熱酸化マスクにして前記シリコン基板の表面部を熱酸化し前記ゲート絶縁膜より膜厚の厚いシリコン酸化膜を形成する工程と、この熱酸化後に、再度熱酸化耐性の高い絶縁薄膜を堆積させ異方性のドライエッチングを加えて前記ゲート電極の上面および側面とゲート絶縁膜より膜厚の厚い前記シリコン酸化膜とを被覆する前記保護絶縁膜を形成する工程とを含む。

【0016】さらに、前記保護絶縁膜を形成した後、前記保護絶縁膜とは異種の材料で層間絶縁膜を形成する工程と、前記保護絶縁膜にセルフアラインになるように前記層間絶縁膜をドライエッチングして前記拡散層上にコンタクト孔を形成する工程とを含む。

【0017】

【発明の実施の形態】次に図面を参照して本発明を説明する。図1は、本発明の第1の実施例の半導体装置の構

造を示す断面図である。

【0018】導電型がp型のシリコン基板上1の表面に、素子分離領域となるフィールド酸化膜2が形成され、前述のp型のシリコン基板1上に形成されたゲート酸化膜3を介してゲート電極4が形成されている。このゲート電極4の上面および側面にはシリコン酸化膜とは材質が異なりゲート電極4を保護する保護絶縁膜すなわちエッチストップ膜7が形成されている。ゲート電極4の端部近傍のシリコン基板1の表面にはn⁺拡散層5が形成され、その外側にはn⁺拡散層8が形成されている。ゲート電極4の側面に形成されたエッチストップ膜7下とn⁺拡散層5あるいはn⁺拡散層8上との間にはゲート酸化膜3よりも厚い底面シリコン酸化膜6が形成されている。表面に形成された層間絶縁膜9にはコンタクト孔10を介して前述のn⁺拡散層8と配線11が接続されている。

【0019】次に、先述した本発明の第1の実施例の半導体装置の製造方法について図2乃至図4に基づいて説明する。

【0020】図2(a)に示すように、p型のシリコン基板21上に通常の選択酸化(LOCOS)法によって、例えば膜厚400nmのフィールド酸化膜22を形成し、その後750℃の水蒸気雰囲気中で熱酸化してフィールド酸化膜22領域以外のシリコン基板21上に、例えば膜厚6nmのゲート酸化膜23を形成する。

【0021】次に、図2(b)に示すように全面に化学気相成長(CVD)法によりn型多結晶シリコン膜24を、例えば膜厚200nm堆積し、続いてCVD法により第1シリコン窒化膜25を、例えば膜厚200nm堆積する。その後、ゲート電極を形成するためのレジストパターン26を形成する。

【0022】次に、図2(c)に示すように前述のレジストパターン26をマスクとして第1シリコン窒化膜25およびn型多結晶シリコン膜24をRIE法によりエッチングした後、レジストパターン26を除去する。このようにして、ゲート電極27および上面シリコン窒化膜28が形成される。その後、CVD法により、例えば膜厚10nmの第2シリコン窒化膜29を全面に堆積する。

【0023】次に、図2(d)に示すように前述の第2シリコン窒化膜29をエッチバックして前述のゲート電極27およびその上部の上面シリコン窒化膜28の側面に側面第1シリコン窒化膜30を残存させる。

【0024】次に、図2(e)に示すように750℃の水蒸気雰囲気中で前述のゲート酸化膜23が露出した表面を熱酸化して、例えば膜厚25nmのシリコン酸化膜31を形成する。この際、ゲート電極27上の上面シリコン窒化膜28と側面第1シリコン窒化膜30が酸化防止膜となってn型多結晶シリコン膜からなるゲート電極27の上面および側面は酸化されない。一方、側面第1シ

リコン窒化膜30は膜厚が10nmと薄いために、この熱酸化中に側面第1シリコン窒化膜30下のシリコン基板21も、いわゆるLOCOS法で生じるバースピークのように横方向に食い込むように酸化されて底面シリコン酸化膜32の膜厚も20nm以上になる。

【0025】次に、図3(a)に示すようにフィールド酸化膜22とゲート電極27上の上面シリコン窒化膜28と側面第1シリコン窒化膜30をマスクとしてイオン注入法により例えばリンをエネルギー30keVでドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 注入して、シリコン基板21表面に低濃度リンイオン注入層33を形成する。

【0026】次に、図3(b)に示すようにCVD法を用いて全面に例えば膜厚150nmの第3シリコン窒化膜34を堆積する。そして、図3(c)に示すように第3シリコン窒化膜34をエッチバックして、側面第1シリコン窒化膜30の表面に側面第2シリコン窒化膜35を残存させる。

【0027】次に、図3(d)に示すようにフィールド酸化膜22とゲート電極27上の上面シリコン窒化膜28と側面第1シリコン窒化膜30および側面第2シリコン窒化膜35をマスクとしてイオン注入法により例えば砒素をエネルギー50keVでドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ 注入して、シリコン基板21表面に高濃度砒素イオン注入層36を形成する。

【0028】次に、図3(e)に示すようにCVD法により全面に、例えば膜厚400nmのBPSG膜(ボロンガラスとリンガラスを含有するシリコン酸化膜)37を堆積した後、850℃で30分間のアニールをすることで前述の低濃度リンイオン注入層33および高濃度砒素イオン注入層36を活性化させ、n⁺拡散層38およびn⁺拡散層39を形成する。

【0029】次に、図4(a)に示すようにコンタクト孔を開くためのマスクとなるレジストパターン40を形成する。このレジストパターン40は前述のゲート電極27上にも開口されている。

【0030】次に、図4(b)に示すようにレジストパターン40をマスクとしてRIE法を用いて層間絶縁膜であるBPSG膜37およびシリコン酸化膜31をエッチングしてn⁺拡散層39に達するコンタクト孔41を開く。コンタクト孔41の開口では、 $\text{CF}_2 + \text{CH}_2\text{F}_2$ 混合ガスを用いた選択エッチングを行うと、エッチストップ膜であるシリコン窒化膜およびシリコン基板に対するBPSG膜或いはシリコン酸化膜のエッチング選択比が30倍以上になるために、前述のレジストパターン40がゲート電極27にかかった領域において、上面シリコン窒化膜28と側面第1シリコン窒化膜30と側面第2シリコン窒化膜35がエッチングストップ層としての役割を果たし、コンタクト孔41はゲート電極27に達することはない。

【0031】次に、前述のレジストパターン40を除去

後、図4(c)に示すように全面にアルミニウム合金膜42をスパッタ法により、例えば500nm堆積した後、配線を形成するためのレジストパターン43を形成する。そして、図4(d)に示すようにレジストパターン43をマスクとしてアルミニウム合金膜42をエッチングして配線44を形成すると、nチャネル型のMOSトランジスタを含む本発明の半導体装置が製造される。

【0032】この第1の実施例では、自己整合型コンタクト孔をMOSトランジスタの拡散層上に形成するために、このMOSトランジスタのゲート電極の表面にシリコン窒化膜等でエッチストップ膜を形成する。この場合、通常、このエッチストップ膜には電子あるいは正孔を捕獲するトラップ中心が多量に存在する。しかし、この実施例では、更に、エッチストップ膜下と拡散層上との間にゲート絶縁膜の膜厚より厚いシリコン酸化膜が形成される。このために、MOSトランジスタの動作時に発生するホットキャリアはこの厚いシリコン酸化膜に妨げられて前述のエッチストップ膜には到達せず前述のトラップ中心に捕獲されることはない。このようにして、前述したホットキャリア・ストレスに対する長期信頼性が大幅に向上する。

【0033】この第1の実施例の製造方法では、エッチストップ膜下のシリコン酸化膜を熱酸化で形成してもゲート電極は酸化されることはなく、ゲート電極の抵抗の増加は防止される。

【0034】次に、第2の実施例について図5に基づいて半導体装置の構造を説明する。導電型がp型のシリコン基板上51の表面に素子分離領域となるフィールド酸化膜52が形成され、シリコン基板51上に形成されたゲート酸化膜53を介してゲート電極54が形成されている。このゲート電極54の表面には表面シリコン酸化膜55が形成され、さらにその外側にはシリコン酸化膜とは材質の異なるエッチストップ膜56が形成されている。そして、ゲート電極54の端部近傍のシリコン基板51の表面にはn⁺拡散層57が形成され、その外側にはn⁺拡散層58が形成されている。そして、ゲート電極54を覆って形成されたエッチストップ膜56と前述のn⁺拡散層57あるいはn⁺拡散層58との間にはゲート酸化膜53よりも厚い底面シリコン酸化膜59が形成されている。表面に形成された層間絶縁膜60にはコンタクト孔61を介して前述のn⁺拡散層58と配線62が接続されている。

【0035】次に、先述した本発明の第2の実施例の半導体装置の製造方法について図6乃至図8に基づいて説明する。

【0036】図6(a)に示すように、導電型がp型のシリコン基板71上に通常の選択酸化(LOCOS)法によって所定の領域に、例えば膜厚400nmのフィールド酸化膜72を形成し、その後750℃の水蒸気雰囲気

ン基板71上に、例えば膜厚6nmのゲート酸化膜73を形成する。

【0037】次に、図6(b)に示すように全面にCVD法によりn型多結晶シリコン膜74を、例えば膜厚100nm堆積し、スパッタ法によりタングステンシリサイド膜75を例えば膜厚100nm堆積し、続いて400℃の条件でCVD法により第1シリコン酸化膜76を例えば膜厚20nm堆積し、続いて約800℃の条件でCVD法により第1シリコン窒化膜77を例えば膜厚200nm堆積する。その後、ゲート電極を形成する領域にレジストパターン78を形成する。前述のタングステンシリサイド膜75と前記第1シリコン窒化膜77の間に前述の第1シリコン酸化膜76を堆積したのは、CVD法によるシリコン窒化膜の堆積温度が約800℃と高く、直接タングステンシリサイド膜上にシリコン窒化膜を堆積するとタングステンシリサイド膜が化学反応で変化して、タングステンナイトライドに変質し抵抗が高くなるので、前述の第1シリコン酸化膜76を反応防止膜とするためである。

【0038】次に、前述のレジストパターン78をマスクとして第1シリコン窒化膜77、第1シリコン酸化膜76、タングステンシリサイド膜75、n型多結晶シリコン膜74を順次RIE法によりエッチングする。このようにして、図6(c)に示すようにn型多結晶シリコン層79とタングステンシリサイド層80とからなるゲート電極79a、上面シリコン酸化膜81および上面シリコン窒化膜82を形成する。次に、前述のレジストパターン78を除去する。その後、約400℃の条件でCVD法により、例えば膜厚20nmの第2シリコン酸化膜83を全面に堆積する。次に、フィールド酸化膜72と、ゲート電極79a上の上面シリコン酸化膜81および上面シリコン窒化膜82とをマスクとしたイオン注入法により、例えばリンをエネルギー30keVでドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 注入して、このシリコン基板71表面に低濃度リンイオン注入層84を形成する。次に、図6(d)に示すように全面に約800℃の条件でCVD法により第2シリコン窒化膜85を、例えば膜厚150nm堆積する。ここで、前述の第2シリコン酸化膜83は第1シリコン酸化膜76を堆積した理由と同様に、ゲート電極を構成するタングステンシリサイド膜の側面に第2シリコン窒化膜85を堆積する前に被覆することで、タングステンシリサイド膜が第2シリコン窒化膜を堆積する際、化学反応で変化するのを防止するためである。

【0039】次に、図6(e)に示すように前述の第2シリコン窒化膜85をエッチバックしてゲート電極79aの側面に側面第1シリコン窒化膜86を残存させる。そして、図7(a)に示すように、 $\text{CF}_4 + \text{CH}_2\text{F}_2$ 混合ガスを用いた第2シリコン酸化膜83のエッチバックを行うことにより前述の第2シリコン酸化膜83とゲー

ト酸化膜 73 がエッチングされる。このエッチングにおいて、ゲート電極上の第 2 シリコン酸化膜 83 および上面シリコン窒化膜 82 の側面部の第 2 シリコン酸化膜 83 がエッチングされてスリット 87 が形成される。このスリット 87 の深さは、前述のエッチバック工程においてゲート電極上面に堆積された第 2 シリコン酸化膜 83 をエッチング除去するのに必要な時間の 2 倍から 5 倍程度であれば、前述のタングステンシリサイド層 80 には達することはない。

【0040】次に、図 7 (b) に示すように、CVD 法を用いて全面に例えば膜厚 10 nm の第 3 シリコン窒化膜 88 を堆積すると、前記スリット 87 が前記第 3 シリコン窒化膜 88 で埋め込まれる。

【0041】次に、図 7 (c) に示すようにフィールド酸化膜 72、ゲート電極上の上面シリコン窒化膜 82、スリットに埋め込まれた第 3 シリコン窒化膜 88 および側面第 1 シリコン窒化膜 86 をマスクとしてイオン注入法により例えば砒素をエネルギー 50 keV でドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ 注入して、シリコン基板 71 の表面に高濃度砒素イオン注入層 89 を形成する。

【0042】次に、図 7 (d) に示すように第 3 シリコン窒化膜 88 をエッチバックして側面第 1 シリコン窒化膜 86 の側面に側面第 2 シリコン窒化膜 90 を残存させると同時に、前述のスリット 87 にもスリット第 3 シリコン窒化膜 91 を残存させる。その結果、ゲート電極 79a の上面と側面は薄いシリコン酸化膜で被覆され、さらにその上に厚いシリコン窒化膜で完全に被覆される。そして、側面第 1 シリコン窒化膜 86 下と n^+ 拡散層上の間のシリコン酸化膜の膜厚はゲート絶縁膜厚以上になるようにできる。

【0043】次に、図 7 (e) に示すように、CVD 法を用いて全面に例えば膜厚 50 nm の第 3 シリコン酸化膜 92 および膜厚 400 nm の BPSG 膜 93 を堆積する。そして、850℃で 30 分間のアニールする。この熱処理で、高濃度砒素イオン注入層 89 中の不純物は活性化し、 n^+ 拡散層 95 が形成される。

【0044】次に、図 8 (a) に示すようにコンタクト孔を開くためのマスクとなるレジストパターン 96 を形成する。レジストパターン 96 はゲート電極上にも開口されている。

【0045】次に、図 8 (b) に示すようにレジストパターン 96 をマスクとして RIE 法を用いて BPSG 膜 93 および第 3 シリコン酸化膜 92 をエッチングして n^+ 拡散層 95 に達するコンタクト孔 97 を開口する。このコンタクト孔 97 の開口では、 $\text{CF}_4 + \text{CH}_2\text{F}_2$ 混合ガスを用いたドライエッチングを行うことにより、レジストパターン 96 がゲート電極にかかった領域において、上面シリコン窒化膜 82 と側面第 1 シリコン窒化膜 86 と側面第 2 シリコン窒化膜 90 とスリット第 3 シリコン窒化膜 91 がエッチストップ膜としての役割を果た

し、コンタクト孔 97 は前記ゲート電極に達することはない。また、シリコン基板もエッチングされない。

【0046】次に、前述のレジストパターン 96 を除去後、図 8 (c) に示すように全面にアルミニウム合金膜 98 をスパッタ法により例えば 500 nm 堆積した後、配線を形成するためのレジストパターン 99 を形成する。次に、図 8 (d) に示すようにレジストパターン 99 をマスクとして前記アルミニウム合金膜 98 をエッチングして配線 100 を形成すると、 n チャネル型の MOS トランジスタを含む半導体装置が製造される。

【0047】この第 2 の実施例の製造方法を用いれば、ゲート電極として n 型多結晶シリコン膜と高融点金属シリサイド膜の積層膜を用いてもエッチストップ膜とゲート電極との間にシリコン酸化膜が存在するために、エッチストップ膜であるシリコン窒化膜を堆積する際に高融点金属シリサイド膜が化学反応するのを防止できる。そして、本発明の第 1 の実施例で示したゲート電極として n 型多結晶シリコン単層膜を用いる場合よりゲート電極の抵抗が減少できる。

【0048】本発明の第 1 および第 2 の実施例において n チャネル型の MOS トランジスタを含む半導体装置の場合を示したが、これに限定するものではなく、例えば p チャネル型の MOS トランジスタあるいは CMOS、BiCMOS を含む半導体装置でもかまわない。また、MOS トランジスタのソース・ドレインの拡散層の構造が LDD 構造の場合について説明したが、本発明はこのような構造に限定されるものではない。

【0049】また、本発明の第 1 および第 2 の実施例においてエッチストップ膜にシリコン窒化膜を用いたが、これに限定するものではなく、例えばシリコンオキシナイトライド膜、窒化アルミニウム膜あるいはアルミナ膜でもかまわない。

【0050】また、本発明の第 2 の実施例において n 型多結晶シリコン膜の上にタングステンシリサイド膜を用いたが、これに限定するものではなく、例えばモリブデンシリサイド膜、チタンシリサイド膜、コバルトシリサイド膜、ニッケルシリサイド膜などでもかまわない。

【0051】

【発明の効果】先述したような本発明の構造を用いれば、ゲート電極の上面と側面がエッチストップ膜で完全に被覆されているために n^+ 拡散層上と配線とを接続するためのコンタクト孔をゲート電極パターンに対して自己整合的に形成できる。そして、半導体素子の縮小化が容易になる。また、エッチストップ膜の下のシリコン酸化膜の膜厚がゲート酸化膜より厚く、ホットキャリア耐性が高くなり長期信頼性が向上するようになる。

【0052】以上のようにして、自己整合型コンタクト孔を有し超微細で信頼性の高い MOS トランジスタで構成される半導体装置が容易に形成できる。更には、半導体装置の高速動作も可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の構造を示す断面図である。

【図2】本発明の第1の実施例の製造方法を示す工程順の断面図である。

【図3】本発明の第1の実施例の製造方法を示す工程順の断面図である。

【図4】本発明の第1の実施例の製造方法を示す工程順の断面図である。

【図5】本発明の第2の実施例の半導体装置の構造を示す断面図である。

【図6】本発明の第2の実施例の製造方法を示す工程順の断面図である。

【図7】本発明の第2の実施例の製造方法を示す工程順の断面図である。

【図8】本発明の第2の実施例の製造方法を示す工程順の断面図である。

【図9】従来の技術の半導体装置の構造を示す断面図とその平面図である。

【符号の説明】

1, 21, 51, 71, 101 シリコン基板
2, 22, 52, 72, 102 フィールド酸化膜
3, 23, 53, 73, 104 ゲート酸化膜
4, 27, 54, 79a ゲート電極
5, 38, 57, 94 n⁻拡散層
6, 32, 59 底面シリコン酸化膜
7, 56 エッチストップ膜
8, 39, 58, 95 n⁺拡散層
9, 60, 115 層間絶縁膜
10, 41, 61, 97 コンタクト孔
11, 44, 62, 100 配線
24, 74 n型多結晶シリコン膜
25, 77 第1シリコン窒化膜

26, 40, 43, 78, 96, 99 レジストパターン

28, 82 上面シリコン窒化膜

29, 85 第2シリコン窒化膜

30, 86 側面第1シリコン窒化膜

31 シリコン酸化膜

33, 84 低濃度リンイオン注入層

34, 88 第3シリコン窒化膜

35, 90 側面第2シリコン窒化膜

36, 89 高濃度砒素イオン注入層

37, 93 BPSG膜

42, 98 アルミニウム合金膜

55 表面シリコン酸化膜

75 タングステンシリサイド膜

76 第1シリコン酸化膜

79 n型多結晶シリコン層

80 タングステンシリサイド層

81 上面シリコン酸化膜

83 第2シリコン酸化膜

20 87 スリット

91 スリット第3シリコン窒化膜

92 第3シリコン酸化膜

103 活性領域

105 ゲートポリシリコン層

106 配線ポリシリコン層

107, 108 シリコン酸化膜層

109, 110 シリコン窒化膜層

111, 112 側面シリコン窒化膜

113 低濃度拡散領域

30 114 高濃度拡散領域

116, 117, 118 コンタクトホール

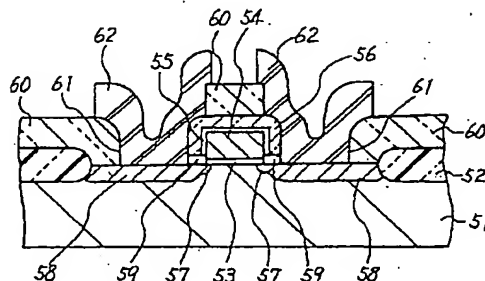
119, 120, 121 メタル層パターン

【図5】

55 表面シリコン酸化膜

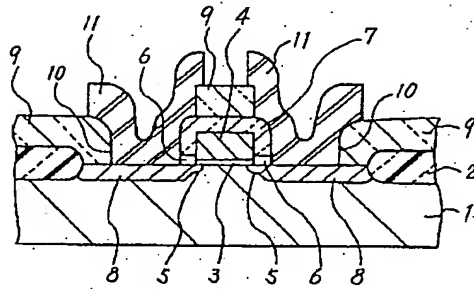
56 エッチストップ膜

59 底面シリコン酸化膜

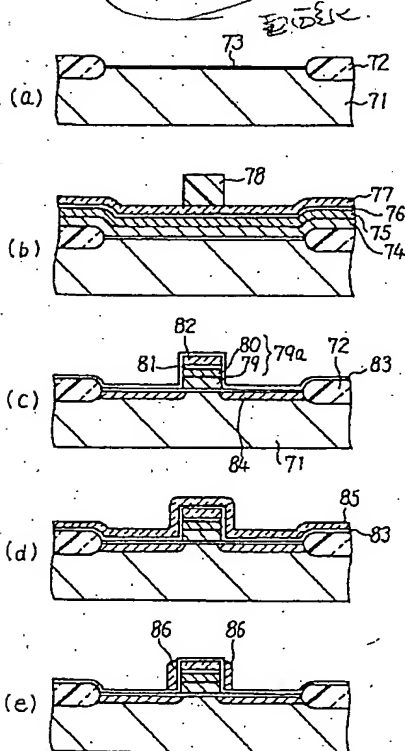


【図1】

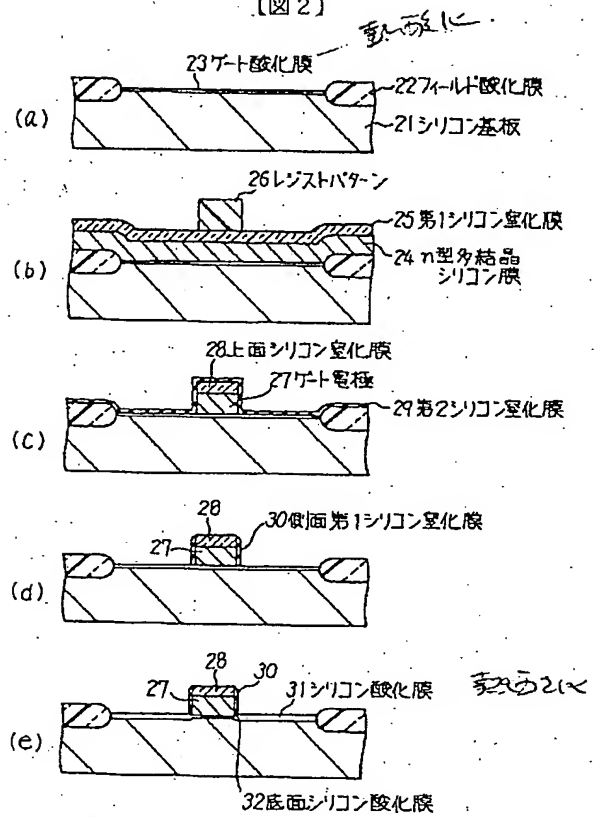
- | | |
|-------------|-------------|
| 1 シリコン基板 | 6 底面シリコン酸化膜 |
| 2 フォトリソグレイム | 7 エッチストップ膜 |
| 3 ゲート酸化膜 | 10 コントラクト孔 |
| 4 ゲート電極 | 11 配線 |



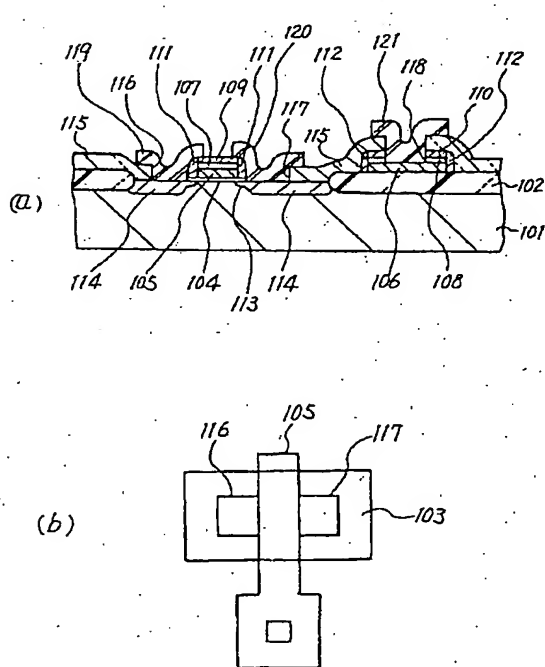
【図6】



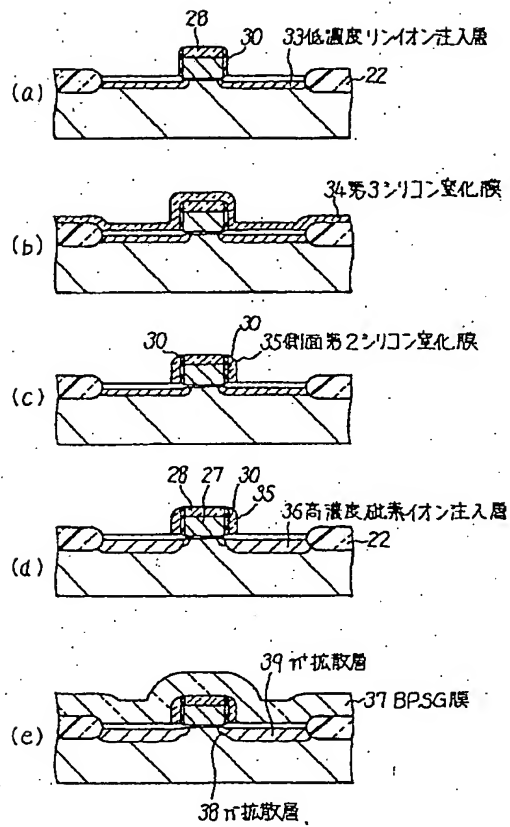
【図2】



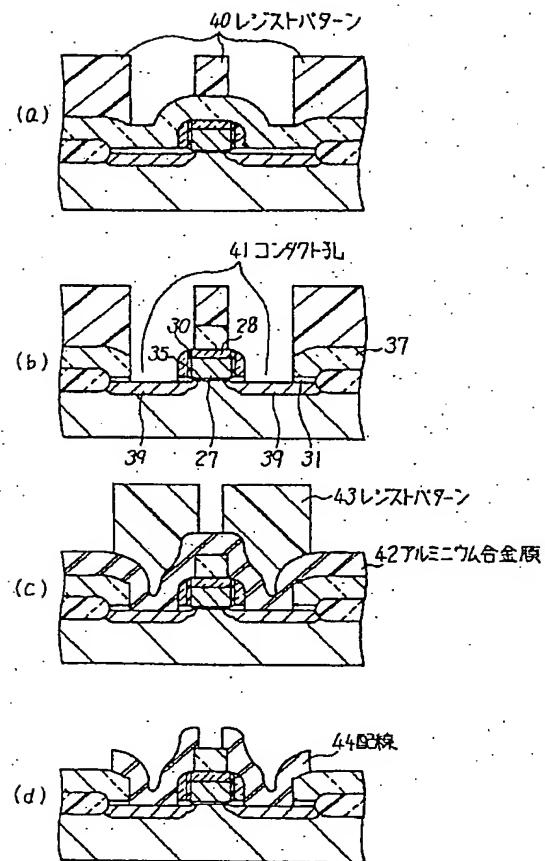
【図9】



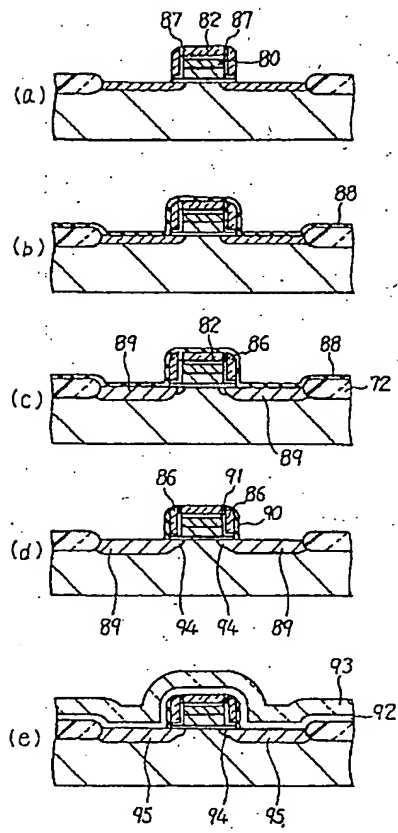
【図 3】



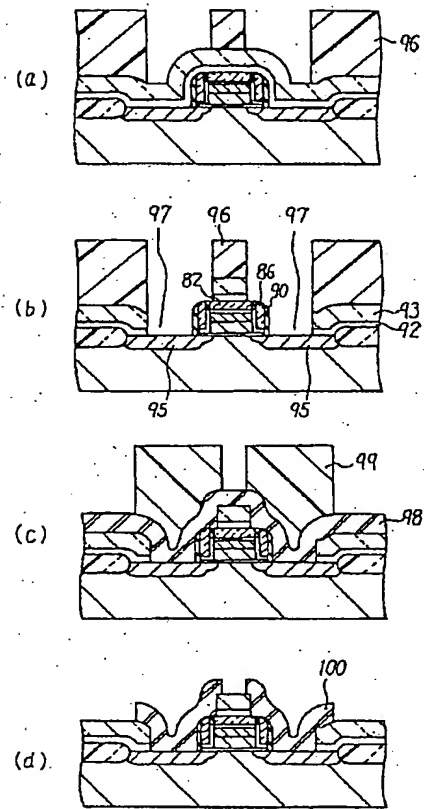
【図 4】



【図 7】



【図 8】



[JP,09-045908,A]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has the insulated-gate field-effect transistor which makes the diffusion layer of the reverse conductivity type which uses as gate dielectric film the silicon oxide formed in the front face of the silicon substrate of one conductivity type, and is formed in the front face of said silicon substrate a source drain field. The protection insulator layer which said silicon oxide is an ingredient of a different kind, and covers only the top face and side face of a gate electrode of said insulated-gate field-effect transistor is formed. The semiconductor device characterized by forming the silicon oxide of thickness thicker than said gate dielectric film between said protection insulator layer to which the side face of said gate electrode is covered, and said diffusion layer, and forming the side attachment wall of a contact hole established on said diffusion layer by said protection insulator layer.

[Claim 2] The semiconductor device according to claim 1 characterized by said protection insulator layer being a silicon nitride.

[Claim 3] The semiconductor device according to claim 1 characterized by being bipolar membrane with the silicon nitride in which said protection insulator layer carries out a laminating, and by which it is formed on silicon oxide and said silicon oxide.

[Claim 4] The manufacture approach of a semiconductor device according to claim 1 or 2 characterized by providing the following The process which forms gate dielectric film in the front face of said silicon substrate The process which carries out the laminating of the electric conduction thin film and the high insulating thin film of thermal oxidation resistance used as said gate electrode one by one, and is formed on said gate dielectric film The process which carries out patterning of said electric conduction thin film and said insulating thin film The process which forms the high insulating thin film of

thermal oxidation resistance in the side attachment wall of said electric conduction thin film which carried out patterning and insulating thin film again, The process which uses the high insulating thin film of said thermal oxidation resistance as a thermal oxidation mask, oxidizes thermally the surface section of said silicon substrate, and forms silicon oxide with thickness thicker than said gate dielectric film. The process which forms said protection insulator layer which is made to deposit the high insulating thin film of thermal oxidation resistance again, adds the dry etching of an anisotropy after this thermal oxidation, and covers the top face of said gate electrode and a side face, and said silicon oxide with thickness thicker than gate dielectric film

[Claim 5] The manufacture approach of the semiconductor device according to claim 4 characterized by including the process which forms an interlayer insulation film with an ingredient of a different kind with said protection insulator layer, and the process which carries out dry etching of said interlayer insulation film, and forms a contact hole on said diffusion layer so that it may become a self aryne at said protection insulator layer after forming said protection insulator layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the structure and the process of the insulated-gate field-effect transistor which has the contact hole of a self-align mold about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] Detailed-izing and densification of a semiconductor device are still advanced energetically, and the development prototype of the semiconductor device of super-high accumulation of the 1-gigabit dynamic random access memory (GbDRAM) designed on about 0.15-micrometer dimension criteria is carried out in current. Unnecessary-ization of the mask alignment margin in the photolithography process which is indispensable to formation of semiconductor device structure has come to be strongly required with high integration of such a semiconductor device.

[0003] Usually, in manufacture of a semiconductor device, on a semi-conductor substrate, the laminating of the pattern formed with various ingredients, such as a metal membrane, semi-conductor film, and insulator film, is carried out one by one, and

the semiconductor device of the fine structure is formed. When carrying out the laminating of the pattern for these semiconductor devices, in a photolithography process, it is required that mask alignment should be carried out to the lower layer pattern formed at the last process, and the following upper pattern should be formed. However, the location gap between the upper layer / lower layer pattern occurs at this photolithography process. Then, this location gap is foreseen, allowances are given to pattern spacing on a mask, and to set a margin as pattern spacing is needed. However, such a margin becomes the inhibition factor of the densification of a pattern.

[0004] then, the technical technique of the formation of margin loess which makes the above margins unnecessary boils many things, and is examined. Margin loess-ization in formation of a contact hole is important especially in it. Since this contact hole is formed in various kinds of layers on a semi-conductor substrate, the semi-conductor film, and a metal membrane and is used abundantly, forming this into margin loess has effectiveness in the densification/high integration of a semiconductor device most. the method of forming the self-align mold contact hole which is a kind of the self aryne method is in a leading approach in this margin loess-ized technique, and that concrete approach boils many things and is examined.

[0005] The approach of forming the spacer of an insulator layer in the gate electrode of an insulated-gate field-effect transistor (an MOS transistor is called hereafter) by the anisotropy dry etching of an insulator layer, carrying out self align to a gate electrode, and forming a contact hole on a diffusion layer in the formation approach of this self-align mold contact hole, attracts attention. For example, the example is shown in JP,61-16571,A.

[0006] Drawing 9 is the sectional view and top view for explaining the outline of the MOS transistor which has the self-align mold contact hole shown in above-mentioned JP,61-16571,A.

[0007] n+ which forms gate oxide 104 and by which n mold impurity was further doped on it after oxidizing the silicon substrate 101 alternatively and forming field oxide 102, as shown in drawing 9 (a) A polish recon layer is deposited. Next, n+ After oxidizing the front face of a polish recon layer and forming silicon oxide with a thickness of about 50nm, the thickness of about 100nm is made to deposit a silicon nitride on the whole surface. They are the above-mentioned silicon nitride, silicon oxide, and n+, using as a mask the resist pattern formed in the desired field. A polish recon layer is etched in this sequence, the gate polish recon layer 105, the silicon oxidation membrane layer 107, and the silicon nitride layer 109 are formed in a gate electrode field, and the pattern of the wiring polish recon layer 106, the silicon oxidation membrane layer 108, and the

silicon nitride layer 110 is formed in a wiring field. Then, a low-concentration impurity is poured in with ion-implantation.

[0008] Next, after removing a resist pattern and depositing a silicon nitride on the whole surface at the thickness of about 100nm, it leaves the side-face silicon nitrides 111 and 112 to the side face of the pattern of a gate electrode, and the pattern of a wiring field by reactive ion etching (RIE). And the high-concentration impurity for source drain field formation is poured in with ion-implantation. Thus, the ion-implantation field obtained has low high impurity concentration in the field of the lower part of the side-face silicon nitride 111, and high impurity concentration is high outside it.

[0009] Next, after making the interlayer insulation film 115 like the PSG film (silicon oxide containing phosphorus glass) deposit on the whole surface, oxygen or nitrogen-gas-atmosphere mind performs heat treatment for about 30 minutes at about 1000 degrees C. The field the ion implantation was carried out [the field] by this heat treatment is activated, and the source drain field of the LDD structure which consists of a low concentration diffusion field 113 and a high concentration diffusion field 114 is obtained.

[0010] After doing in this way, an interlayer insulation film 115 is etched by using a resist pattern as a mask, and the contact holes 116 and 117 on a diffusion layer field are formed. At this time, the side-face silicon nitride 111 of the gate polish recon layer 105 serves as a mask, and contact holes 116 and 117 are formed in self align. Next, a contact hole 118 is formed on the wiring polish recon layer 106. And the metal layer patterns 119, 120, and 121 are formed. Consequently, even if the contact holes 116 and 117 formed on an active region 103 using a mask pattern as shown in the top view shown in drawing 9 (b) are designed in contact with the gate polish recon layer 105, the side-face silicon nitride 111 turns into an insulator layer, and the metal layer patterns 119 and 120 do not connect with the gate polish recon layer 105 too hastily electrically. However, with this conventional technique, the thickness of the silicon oxide which exists between the low concentration diffusion layer field 113 tops formed in the front face of a silicon substrate 101 the bottom of the side-face silicon nitride 111 formed in the side face of the gate polish recon layer 105 is the same as gate oxide, or becomes thinner than it.

[0011]

[Problem(s) to be Solved by the Invention] By covering the top face and side face of a gate electrode with a silicon nitride, to a gate electrode, the contact hole formed in the diffusion layer used as a source drain field is margin loess, and comes to be formed in self align in the Prior art which carried out point **. However, the thickness of the silicon oxide under the silicon nitride formed in the side face of a gate electrode becomes

to the same extent as the thickness of gate oxide, or thin. For example, the thickness of gate oxide is set to about 6nm or less in the semiconductor device using the detailed MOS transistor after 1GbDRAM from which the gate length of an MOS transistor is set to 0.2 micrometers or less. For this reason, the thickness of the silicon oxide under the silicon nitride of point ** becomes ultra-thin, and degradation of the dependability of that property, especially the dependability by hot carrier stress becomes large in the MOS transistor using a Prior art.

[0012] The purpose of this invention has a self-align mold contact hole, is overly detailed and is to offer the semiconductor device which consists of reliable MOS transistors.

[0013]

[Means for Solving the Problem] For this reason, it has the insulated-gate field-effect transistor which makes the diffusion layer of the reverse conductivity type which uses as gate dielectric film the silicon oxide formed in the front face of the silicon substrate of one conductivity type in the semiconductor device of this invention, and is formed in the front face of said silicon substrate a source drain field. The protection insulator layer which said silicon oxide is an ingredient of a different kind, and covers only the top face and side face of a gate electrode of said insulated-gate field-effect transistor is formed. The silicon oxide of thickness thicker than said gate dielectric film is formed between said protection insulator layer to which the side face of said gate electrode is covered, and said diffusion layer, and the side attachment wall of a contact hole established on said diffusion layer is formed by said protection insulator layer.

[0014] In this case, said protection insulator layer is formed by bipolar membrane with the silicon nitride formed by carrying out a laminating on a silicon nitride or silicon oxide, and said silicon oxide.

[0015] Moreover, the process at which such a manufacture approach of a semiconductor device forms gate dielectric film in the front face of said silicon substrate, The process which carries out the laminating of the electric conduction thin film and the high insulating thin film of thermal oxidation resistance used as said gate electrode, and is formed on said gate dielectric film, The process which carries out patterning of said electric conduction thin film and said insulating thin film, and the process which forms the high insulating thin film of thermal oxidation resistance in the side attachment wall of said electric conduction thin film which carried out patterning and insulating thin film again, The process which uses the high insulating thin film of said thermal oxidation resistance as a thermal oxidation mask, oxidizes thermally the surface section of said silicon substrate, and forms silicon oxide with thickness thicker than said gate dielectric film, The process which forms said protection insulator layer which is made to

deposit the high insulating thin film of thermal oxidation resistance again, adds the dry etching of an anisotropy after this thermal oxidation, and covers the top face of said gate electrode and a side face, and said silicon oxide with thickness thicker than gate dielectric film is included.

[0016] Furthermore, after forming said protection insulator layer, with said protection insulator layer, the process which forms an interlayer insulation film with an ingredient of a different kind, and the process which carries out dry etching of said interlayer insulation film so that it may become a self aryne at said protection insulator layer, and forms a contact hole on said diffusion layer are included.

[0017]

[Embodiment of the Invention] Next, this invention is explained with reference to a drawing. Drawing 1 is the sectional view showing the structure of the semiconductor device of the 1st example of this invention.

[0018] The gate electrode 4 is formed through the gate oxide 3 which the field oxide 2 from which a conductivity type serves as a component isolation region on the front face of silicon substrate top 1 of p mold was formed, and was formed on the silicon substrate 1 of the above-mentioned p mold. It is formed in the top face and side face of this gate electrode 4, the protection insulator layer 7, i.e., the dirty stop film, from which the quality of the material protects the gate electrode 4 unlike silicon oxide. In the front face of the silicon substrate 1 near the edge of the gate electrode 4, it is n-. A diffusion layer 5 is formed and it is n+ in the outside. The diffusion layer 8 is formed. The bottom of the dirty stop film 7 formed in the side face of the gate electrode 4, and n-. A diffusion layer 5 or n+. Between diffusion layer 8 tops, base silicon oxide 6 thicker than gate oxide 3 is formed. The contact hole 10 is minded [which was formed in the front face / 9], and it is above-mentioned n+. A diffusion layer 8 and wiring 11 are connected.

[0019] Next, the manufacture approach of the semiconductor device of the 1st example of this invention which carried out point ** is explained based on drawing 2 thru/or drawing 4.

[0020] it is shown in drawing 2 (a) -- as -- selective oxidation (LOCOS) usual to the silicon substrate 21 top of p mold -- by law, field oxide 22 of 400nm of thickness is formed, it oxidizes thermally in a 750-degree C steam ambient atmosphere after that, and gate oxide 23 of 6nm of thickness is formed on silicon substrates 21 other than field oxide 22 field.

[0021] next, it is shown in drawing 2 (b) -- as -- the whole surface -- chemical vapor deposition (CVD) -- n mold polycrystalline silicon film 24 is deposited 200nm of thickness by law, and the 1st silicon nitride 25 is continuously deposited 200nm of

thickness with a CVD method. Then, the resist pattern 26 for forming a gate electrode is formed.

[0022] Next, as shown in drawing 2 (c), after etching the 1st silicon nitride 25 and n mold polycrystalline silicon film 24 by the RIE method by using the above-mentioned resist pattern 26 as a mask, a resist pattern 26 is removed. Thus, the gate electrode 27 and the top-face silicon nitride 28 are formed. Then, the 2nd silicon nitride 29 of 10nm of thickness is deposited on the whole surface with a CVD method.

[0023] Next, etchback of the above-mentioned 2nd silicon nitride 29 is carried out, and the 1st silicon nitride 30 of a side face is made to remain on the above-mentioned gate electrode 27 and the side face of the top-face silicon nitride 28 of the upper part, as shown in drawing 2 (d).

[0024] Next, as shown in drawing 2 (e), the front face which the above-mentioned gate oxide 23 exposed in the 750-degree C steam ambient atmosphere is oxidized thermally, for example, silicon oxide 31 of 25nm of thickness is formed. Under the present circumstances, the top face and side face of the gate electrode 27 which the top-face silicon nitride 28 and the 1st silicon nitride 30 of a side face on the gate electrode 27 turn into antioxidizing film, and consist of n mold polycrystalline silicon film do not oxidize. On the other hand, the 1st silicon nitride 30 of a side face oxidizes so that it may eat into a longitudinal direction like [since thickness is as thin as 10nm] the BAZU beak which also produces the silicon substrate 21 under the 1st silicon nitride 30 of a side face by the so-called LOCOS method during this thermal oxidation, and the thickness of base silicon oxide 32 is also set to 20nm or more.

[0025] Next, as shown in drawing 3 (a), Lynn is poured in dose $2 \times 10^{13} \text{cm}^{-2}$ by energy 30keV with ion-implantation by using field oxide 22, the top-face silicon nitride 28 on the gate electrode 27, and the 1st silicon nitride 30 of a side face as a mask, and the decreased-level-phosphorus ion-implantation layer 33 is formed in silicon substrate 21 front face.

[0026] Next, as shown in drawing 3 (b), the 3rd silicon nitride 34 of 150nm of thickness is deposited on the whole surface using a CVD method. And as shown in drawing 3 (c), etchback of the 3rd silicon nitride 34 is carried out, and the 2nd silicon nitride 35 of a side face is made to remain on the front face of the 1st silicon nitride 30 of a side face.

[0027] Next, as shown in drawing 3 (d), arsenic is poured in dose $3 \times 10^{15} \text{cm}^{-2}$ by energy 50keV with ion-implantation by using field oxide 22, the top-face silicon nitride 28 on the gate electrode 27, the 1st silicon nitride 30 of a side face, and the 2nd silicon nitride 35 of a side face as a mask, and the high concentration arsenic ion-implantation layer 36 is formed in silicon substrate 21 front face.

[0028] Next, the whole surface is made to activate the above-mentioned decreased-level-phosphorus ion-implantation layer 33 and the high concentration arsenic ion-implantation layer 36 with a CVD method by carrying out annealing for 30 minutes at 850 degrees C, after depositing the BPSG film (silicon oxide containing boron glass and phosphorus glass) 37 of 400nm of thickness, as shown in drawing 3 (e), and it is n-. A diffusion layer 38 and n+ A diffusion layer 39 is formed.

[0029] Next, the resist pattern 40 used as the mask for carrying out opening of the contact hole, as shown in drawing 4 (a) is formed. Opening of this resist pattern 40 is carried out also on the above-mentioned gate electrode 27.

[0030] Next, as shown in drawing 4 (b), the BPSG film 37 and silicon oxide 31 which are an interlayer insulation film are etched using the RIE method by using a resist pattern 40 as a mask, and it is n+. Opening of the contact hole 41 which reaches a diffusion layer 39 is carried out. At opening of the contact hole 41, it is CF₂+CH₂ two F₂. If selective etching using mixed gas is performed Since the etch selectivity of the BPSG film or silicon oxide to the silicon nitride and silicon substrate which are the dirty stop film becomes 30 or more times In the field which required the above-mentioned resist pattern 40 for the gate electrode 27, the top-face silicon nitride 28, the 1st silicon nitride 30 of a side face, and the 2nd silicon nitride 35 of a side face play a role of an etching stop layer, and the contact hole 41 does not reach the gate electrode 27.

[0031] Next, after removing the above-mentioned resist pattern 40, as shown in drawing 4 (c), after depositing 500nm, the resist pattern 43 for forming wiring is formed in the whole surface for the aluminium alloy film 42 by the spatter. And if the aluminium alloy film 42 is etched by using a resist pattern 43 as a mask and wiring 44 is formed as shown in drawing 4 (d), the semiconductor device of this invention containing the MOS transistor of an n channel mold will be manufactured.

[0032] In this 1st example, in order to form a self-align mold contact hole on the diffusion layer of an MOS transistor, the dirty stop film is formed in the front face of the gate electrode of this MOS transistor by a silicon nitride etc. In this case, the trapping center which captures an electron or an electron hole usually exists in this dirty stop film so much. However, in this example, silicon oxide thicker than the thickness of gate dielectric film is further formed between the bottom of the dirty stop film, and a diffusion layer top. For this reason, the hot carrier generated at the time of actuation of an MOS transistor is disturbed by this thick silicon oxide, does not reach the above-mentioned dirty SUTOPU film, and is not captured in the above-mentioned trapping center. Thus, dependability improves sharply over a long period of time to the hot carrier stress mentioned above.

[0033] By the manufacture approach of this 1st example, even if it forms the silicon oxide under the dirty stop film by thermal oxidation, a gate electrode does not oxidize and the increment in resistance of a gate electrode is prevented.

[0034] Next, based on drawing 5, the structure of a semiconductor device is explained about the 2nd example. The gate electrode 54 is formed through the gate oxide 53 which the field oxide 52 from which a conductivity type serves as a component isolation region on the front face of silicon substrate top 51 of p mold was formed, and was formed on the silicon substrate 51. Surface silicon oxide 55 is formed in the front face of this gate electrode 54, and the dirty stop film 56 with which the quality of the material differs from silicon oxide is further formed in that outside. And in the front face of the silicon substrate 51 near the edge of the gate electrode 54, it is n. - A diffusion layer 57 is formed and it is n+ in the outside. The diffusion layer 58 is formed. And the dirty stop film 56 which covered the gate electrode 54 and was formed and the above-mentioned n. - A diffusion layer 57 or n+ Between diffusion layers 58, base silicon oxide 59 thicker than gate oxide 53 is formed. The contact hole 61 is minded [which was formed in the front face / 60], and it is above-mentioned n+. A diffusion layer 58 and wiring 62 are connected.

[0035] Next, the manufacture approach of the semiconductor device of the 2nd example of this invention which carried out point ** is explained based on drawing 6 thru/or drawing 8.

[0036] it is shown in drawing 6 (a) -- as -- selective oxidation (LOCOS) usual to the silicon substrate 71 top of p mold in a conductivity type -- by law, field oxide 72 of 400nm of thickness is formed in a predetermined field, it oxidizes thermally in a 750-degree C steam ambient atmosphere after that, and gate oxide 73 of 6nm of thickness is formed on silicon substrates 71 other than field oxide 72 field.

[0037] Next, the 1st silicon nitride 77 is continuously deposited [as shown in drawing 6 (b), deposit n mold polycrystalline silicon film 74 on the whole surface 100nm of thickness with a CVD method, and / 100nm of thickness] the tungsten silicide film 75 by the spatter, deposited [on 400-degree C conditions / with a CVD method / 20nm of thickness] the 1st silicon oxide 76 continuously and deposited 200nm of thickness with a CVD method on about 800-degree C conditions. Then, a resist pattern 78 is formed in the field which forms a gate electrode. Since the tungsten silicide film would change by the chemical reaction, it would deteriorate in tungsten night RAIDO and resistance would become high if the deposition temperature of the silicon nitride by the CVD method is as high as about 800 degrees C and deposits a silicon nitride on the direct tungsten silicide film, the 1st above-mentioned silicon oxide 76 was deposited for using

the 1st above-mentioned silicon oxide 76 as the reaction prevention film between the above-mentioned tungsten silicide film 75 and said 1st silicon nitride 77.

[0038] Next, the 1st silicon nitride 77, the 1st silicon oxide 76, the tungsten silicide film 75, and an n mold polycrystalline silicon film 74 are etched by the RIE method one by one by using the above-mentioned resist pattern 78 as a mask. Thus, gate electrode 79a which consists of an n mold polycrystalline silicon layer 79 and a tungsten silicide layer 80 as shown in drawing 6 (c), top-face silicon oxide 81, and the top-face silicon nitride 82 are formed. Next, the above-mentioned resist pattern 78 is removed. Then, the 2nd silicon oxide 83 of 20nm of thickness is deposited on the whole surface with a CVD method on about 400-degree C conditions. Next, with the ion-implantation which used field oxide 72, and the top-face silicon oxide 81 and the top-face silicon nitride 82 on gate electrode 79a as the mask, Phosphorus is poured in dose [of $2 \times 10^{13} \text{cm}^{-2}$] by energy 30keV, and the decreased-level-phosphorus ion-implantation layer 84 is formed in this silicon substrate 71 front face. Next, as shown in drawing 6 (d), the 2nd silicon nitride 85 is deposited on the whole surface 150nm of thickness with a CVD method on about 800-degree C conditions. It is covering the side face of the tungsten silicide film which constitutes a gate electrode, before depositing the 2nd silicon nitride 85 like [here / the 2nd above-mentioned silicon oxide 83] the reason which deposited the 1st silicon oxide 76, and in case the tungsten silicide film deposits the 2nd silicon nitride, it is for preventing changing by the chemical reaction.

[0039] Next, etchback of the above-mentioned 2nd silicon nitride 85 is carried out, and the 1st silicon nitride 86 of a side face is made to remain on the side face of gate electrode 79a, as shown in drawing 6 (e). And as shown in drawing 7 (a), it is $\text{CF}_4 + \text{CH}_2\text{F}_2$. The 2nd above-mentioned silicon oxide 83 and gate oxide 73 are etched by performing etchback of the 2nd SHIRAZ oxide film 83 using mixed gas. In this etching, the 2nd silicon oxide 83 on a gate electrode and the 2nd silicon oxide 83 of the lateral portion of the top-face silicon nitride 82 are etched, and a slit 87 is formed. From the twice of time amount required to carry out etching removal of the 2nd silicon oxide 83 deposited on the gate electrode top face in the above-mentioned etchback process, if the depth of this slit 87 is about 5 times, it will not reach the above-mentioned tungsten silicide layer 80.

[0040] Next, as shown in drawing 7 (b), said slit 87 is embedded by said 3rd silicon nitride 88 with ***** in the 3rd silicon nitride 88 of 10nm of thickness on the whole surface using a CVD method.

[0041] Next, as shown in drawing 7 (c), arsenic is poured in dose $3 \times 10^{15} \text{cm}^{-2}$ by energy 50keV with ion-implantation by using as a mask field oxide 72, the top-face silicon

nitride 82 on a gate electrode, the 3rd silicon nitride 88 embedded to the slit, and the 1st silicon nitride 86 of a side face, and the high concentration arsenic ion-implantation layer 89 is formed in the front face of a silicon substrate 71.

[0042] Next, the 3rd silicon nitride 91 of a slit is made to remain also to the above-mentioned slit 87 at the same time it carries out etchback of the 3rd silicon nitride 88 and makes the 2nd silicon nitride 90 of a side face remain on the side face of the 1st silicon nitride 86 of a side face as shown in drawing 7 (d). Consequently, the top face and side face of gate electrode 79a are covered with thin silicon oxide, and are completely covered with the still thicker silicon nitride on it. And the bottom of the 1st silicon nitride 86 of a side face and n - The thickness of the silicon oxide between on a diffusion layer can become more than gate-dielectric-film thickness.

[0043] Next, as shown in drawing 7 (e), the 3rd silicon oxide 92 of 50nm of thickness and the BPSG film 93 of 400nm of thickness are deposited on the whole surface using a CVD method. and 850 degrees C -- for 30 minutes -- annealing . By this heat treatment, the impurity in the high concentration arsenic ion-implantation layer 89 is activated, and is n+. A diffusion layer 95 is formed.

[0044] Next, the resist pattern 96 used as the mask for carrying out opening of the contact hole, as shown in drawing 8 (a) is formed. Opening of the resist pattern 96 is carried out also on the gate electrode.

[0045] Next, as shown in drawing 8 (b), the BPSG film 93 and the 3rd silicon oxide 92 are etched using the RIE method by using a resist pattern 96 as a mask, and it is n+. Opening of the contact hole 97 which reaches a diffusion layer 95 is carried out. At opening of this contact hole 97, it is CF₄+CH₂F₂. By performing dry etching using mixed gas, in the field which required the resist pattern 96 for the gate electrode, the top-face silicon nitride 82, the 1st silicon nitride 86 of a side face, the 2nd silicon nitride 90 of a side face, and the 3rd silicon nitride 91 of a slit play a role of dirty stop film, and the contact hole 97 does not reach said gate electrode. Moreover, a silicon substrate is not etched, either.

[0046] Next, after removing the above-mentioned resist pattern 96, as shown in drawing 8 (c), after depositing 500nm, the resist pattern 99 for forming wiring is formed in the whole surface for the aluminium alloy film 98 by the spatter. Next, if said aluminium alloy film 98 is etched by using a resist pattern 99 as a mask and wiring 100 is formed as shown in drawing 8 (d), the semiconductor device containing the MOS transistor of an n channel mold will be manufactured.

[0047] Since silicon oxide exists between the dirty stop film and a gate electrode even if it uses the cascade screen of n mold polycrystalline silicon film and the refractory metal

silicide film as a gate electrode if the manufacture approach of this 2nd example is used, in case the silicon nitride which is dirty stop film is deposited, it can prevent that the refractory metal silicide film reacts chemically. And resistance of a gate electrode can be decreased from the case where n mold polycrystalline silicon monolayer is used as a gate electrode shown in the 1st example of this invention.

[0048] Although the case of the semiconductor device which contains the MOS transistor of an n channel mold in the 1st and 2nd examples of this invention was shown, the semiconductor device which does not limit to this and contains the MOS transistor of a p channel mold, or CMOS and BiCMOS may be used. Moreover, although the case where the structure of the diffusion layer of the source drain of an MOS transistor was LDD structure was explained, this invention is not limited to such structure.

[0049] Moreover, although the silicon nitride was used for the dirty stop film in the 1st and 2nd examples of this invention, it may not limit to this and the silicon oxy-nitride film, the aluminum nitride film, or the alumina film is sufficient.

[0050] Moreover, although the tungsten silicide film was used on n mold polycrystalline silicon film in the 2nd example of this invention, it may not limit to this and the molybdenum silicide film, the titanium silicide film, the cobalt silicide film, the nickel silicide film, etc. are sufficient.

[0051]

[Effect of the Invention] If the structure of this invention which carried out point ** is used, since the top face and side face of a gate electrode are completely covered with the dirty stop film, it is n+. The contact hole for connecting wiring a diffusion layer top can be formed in self align to a gate electrode pattern. And contraction-ization of a semiconductor device becomes easy. Moreover, the thickness of the silicon oxide under the dirty stop film is thicker than gate oxide, hot carrier resistance becomes high, and dependability comes to improve over a long period of time.

[0052] It has a self-align mold contact hole as mentioned above, and it is overly detailed and the semiconductor device which consists of reliable MOS transistors can form easily. Furthermore, the high-speed operation of a semiconductor device also becomes possible.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the structure of the semiconductor device of the 1st example of this invention.

[Drawing 2] It is the sectional view of the order of a process showing the manufacture approach of the 1st example of this invention.

[Drawing 3] It is the sectional view of the order of a process showing the manufacture approach of the 1st example of this invention.

[Drawing 4] It is the sectional view of the order of a process showing the manufacture approach of the 1st example of this invention.

[Drawing 5] It is the sectional view showing the structure of the semiconductor device of the 2nd example of this invention.

[Drawing 6] It is the sectional view of the order of a process showing the manufacture approach of the 2nd example of this invention.

[Drawing 7] It is the sectional view of the order of a process showing the manufacture approach of the 2nd example of this invention.

[Drawing 8] It is the sectional view of the order of a process showing the manufacture approach of the 2nd example of this invention.

[Drawing 9] They are the sectional view showing the structure of the semiconductor device of a Prior art, and its top view.

[Description of Notations]

1, 21, 51, 71, 101 Silicon substrate

2, 22, 52, 72, 102 Field oxide

3, 23, 53, 73, 104 Gate oxide

4, 27, 54, 79a Gate electrode

5, 38, 57, 94 n - Diffusion layer

6, 32, 59 Base silicon oxide

7 56 Dirty stop film

8, 39, 58, 95 n+ Diffusion layer

9 60, 115 Interlayer insulation film

10, 41, 61, 97 Contact hole

11, 44, 62, 100 Wiring

24 74 n mold polycrystalline silicon film

25 77 The 1st silicon nitride

26, 40, 43, 78, 96, 99 Resist pattern

28 82 Top-face silicon nitride

29 85 The 2nd silicon nitride

30 86 The 1st silicon nitride of a side face

31 Silicon Oxide

33 84 Decreased-level-phosphorus ion-implantation layer

34 88 The 3rd silicon nitride

35 90 The 2nd silicon nitride of a side face

36 89 High concentration arsenic ion implantation layer

37 93 BPSG film

42 98 Aluminium alloy film

55 Surface Silicon Oxide

75 Tungsten Silicide Film

76 1st Silicon Oxide

79 N Mold Polycrystalline Silicon Layer

80 Tungsten Silicide Layer

81 Top-Face Silicon Oxide

83 2nd Silicon Oxide

87 Slit

91 3rd Silicon Nitride of Slit

92 3rd Silicon Oxide

103 Active Region

105 Gate Polish Recon Layer

106 Wiring Polish Recon Layer

107,108 Silicon oxidation membrane layer

109,110 Silicon nitride layer

111,112 Side-face silicon nitride

113 Low Concentration Diffusion Field

114 High Concentration Diffusion Field

116,117,118 Contact hole

119,120,121 Metal layer pattern

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.